

特点

- ◆ 输入电压：8V~28V
- ◆ 输出电压：3.8V~12V
- ◆ 输入电流(可调)：0~5A
- ◆ 输出电流(可调)：0~6A
- ◆ 单路输出效率：94%@5V/3A
- ◆ 支持 QC2.0/3.0、PE1.0、AFC、FCP、SCP、

BC1.2 DCP、PD2.0、APPLE 2.4A 快充协议

- ◆ 支持 40V 耐压
- ◆ 支持 AC 接口形式
- ◆ 支持线补偿功能
- ◆ 支持短路保护自动恢复
- ◆ 支持输出欠压、过流、短路保护
- ◆ 支持输出电压自适应
- ◆ 封装形式：QFN36 6*6mm

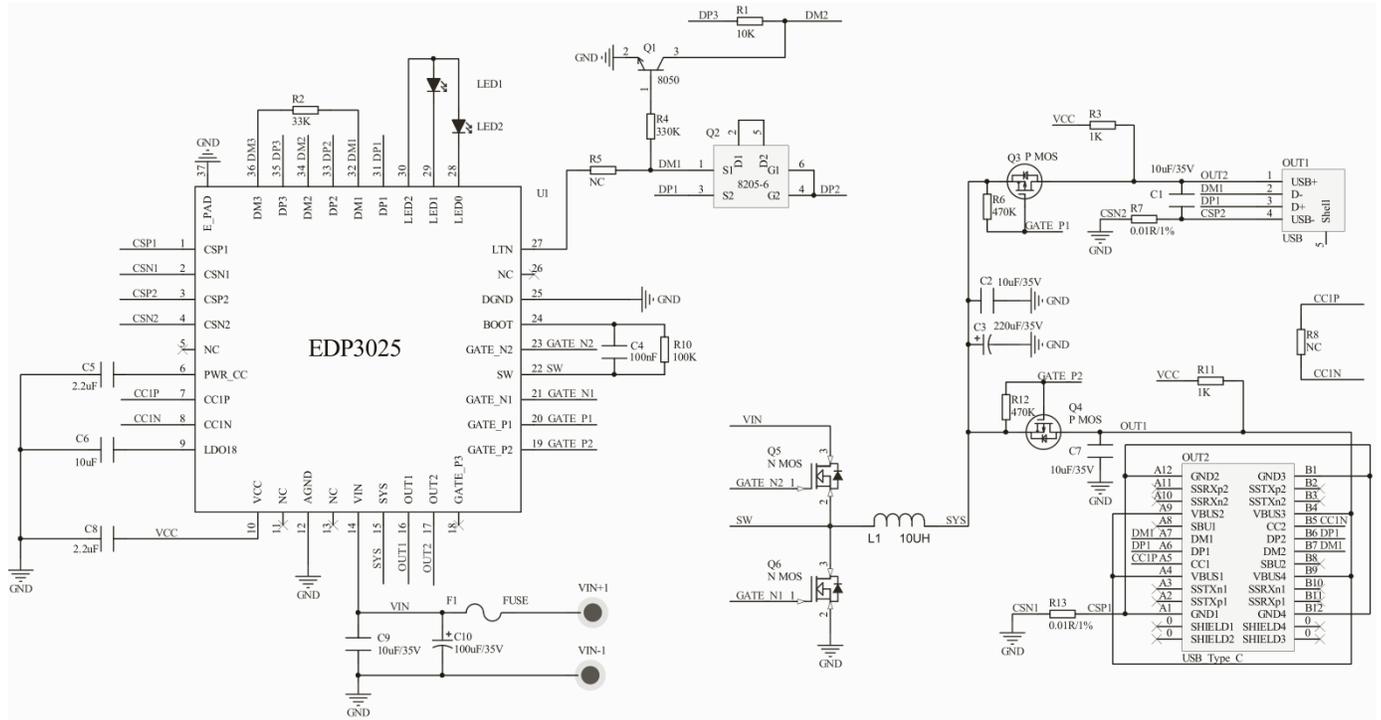
概述

EDP3025 是为多协议 (含 PD 协议) 快充车充设计的一颗电源管理芯片; 内部集成了 QC2.0/3.0、PE1.0、AFC、FCP、SCP、BC1.2 DCP、PD2.0 及 APPLE 2.4A 快充协议, PD 支持 5V, 9V, 12V 电压; 在任意口插入设备都快充, 两路都插入设备输出电压降到 5V; 支持苹果 (iPhone 8/iPhone X)、惠普、戴尔、华为、小米、索尼等品牌 PD2.0 手机、笔记本、平板和游戏机快速充电且兼容性优异; 芯片集成了输出欠压、过流保护、短路保护自恢复等多重安全保护功能。

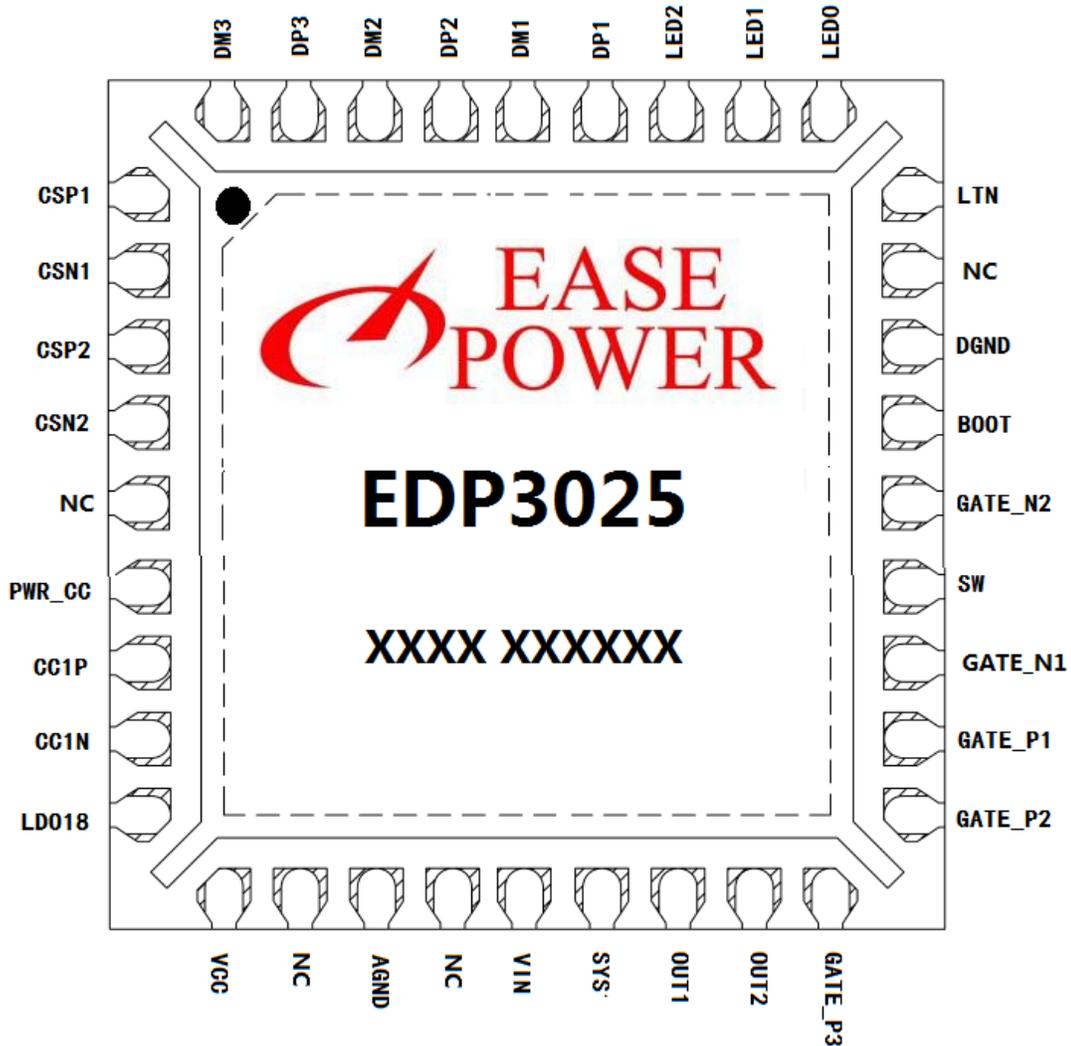
应用范围

- ◆ 全协议 (含 PD) 快充车充

典型应用原理图 (根据应用可以做灵活调整)



注：实际应用原理图以原厂另行提供的原理图为准

管脚定义


说明: I/O 耐压特性 L 指的是 5V I/O 口, 其耐压范围是-0.7~8V, H 指的是高压 I/O 其耐压范围是-0.7~45V。

| 管脚号 | 管脚名称 | I/O | I/O 耐压特性 | 管脚定义 |
|-----|--------|-----|----------|----------------------------|
| 1 | CSP1 | I | L | 内部电流采样通道 1 的 P 端 |
| 2 | CSN1 | I | L | 内部电流采样通道 1 的 N 端 |
| 3 | CSP2 | I | L | 内部电流采样通道 2 的 P 端 |
| 4 | CSN2 | I | L | 内部电流采样通道 2 的 N 端 |
| 5 | NC | | | NC |
| 6 | PWR_CC | O | L | 5V LDO 输出, 外接2.2uF 电容. |
| 7 | CC1P | I | L | PD 协议对应的 CC 脚 2 (外接 CC 接口) |
| 8 | CC1N | I | L | PD 协议对应的 CC 脚 1 (外接 CC 接口) |

| | | | | |
|----|---------|-----|---|--------------------------------|
| 9 | LD018 | 0 | L | 1.8V LDO 输出, 外接10uF 电容. |
| 10 | VCC | 0 | L | 5V LDO 输出, 接 2.2uF 电容. |
| 11 | NC | | | NC |
| 12 | AGND | I | L | 芯片模拟地 |
| 13 | NC | | | NC |
| 14 | VIN | I | H | VIN 输入脚 |
| 15 | SYS | 0 | H | 电源 |
| 16 | OUT1 | 0 | H | 输出 1 |
| 17 | OUT2 | 0 | H | 输出 2 |
| 18 | GATE_P3 | 0 | H | PMOS 驱动控制端 |
| 19 | GATE_P2 | 0 | H | PMOS 驱动控制端 |
| 20 | GATE_P1 | 0 | H | PMOS 驱动控制端 |
| 21 | GATE_N1 | 0 | H | NMOS 驱动控制端 |
| 22 | SW | 0 | H | 开关脚 |
| 23 | GATE_N2 | 0 | H | NMOS 驱动控制端 |
| 24 | BOOT | 0 | H | GATE_N2 电源供电, 连接 100nF 电容到 SW2 |
| 25 | DGND | I | L | 芯片功率地 |
| 26 | NC | | | NC |
| 27 | LTN | I/O | L | 外接 LIGHT 灯 |
| 28 | LED0 | I/O | L | 外接 LED 灯 |
| 29 | LED1 | I/O | L | 外接 LED 灯 |
| 30 | LED2 | I/O | L | 外接 LED 灯 |
| 31 | DP1 | I/O | L | USB D+ 端 |
| 32 | DM1 | I/O | L | USB D- 端 |
| 33 | DP2 | I/O | L | USB D+ 端 |
| 34 | DM2 | I/O | L | USB D- 端 |
| 35 | DP3 | I/O | L | USB D+ 端 |
| 36 | DM3 | I/O | L | USB D- 端 |

电气参数 (TA = +25° C)

| 参数 | 符号 | 最小值 | 典型值 | 最大值 | 单位 | 条件 |
|--------|---------|-----|-----|-----|-----|----|
| 输入电压 | Vin | 8 | 12 | 28 | V | |
| 输出电压 | Vout1/2 | 3.8 | | 12 | V | |
| 输入电流 | Iin | 0 | | 5 | A | |
| 输出电流 | Iout | 0 | | 6 | A | |
| 输出电压精度 | | -1 | | 1 | % | |
| 开关频率 | Fsw | | 200 | | kHz | |

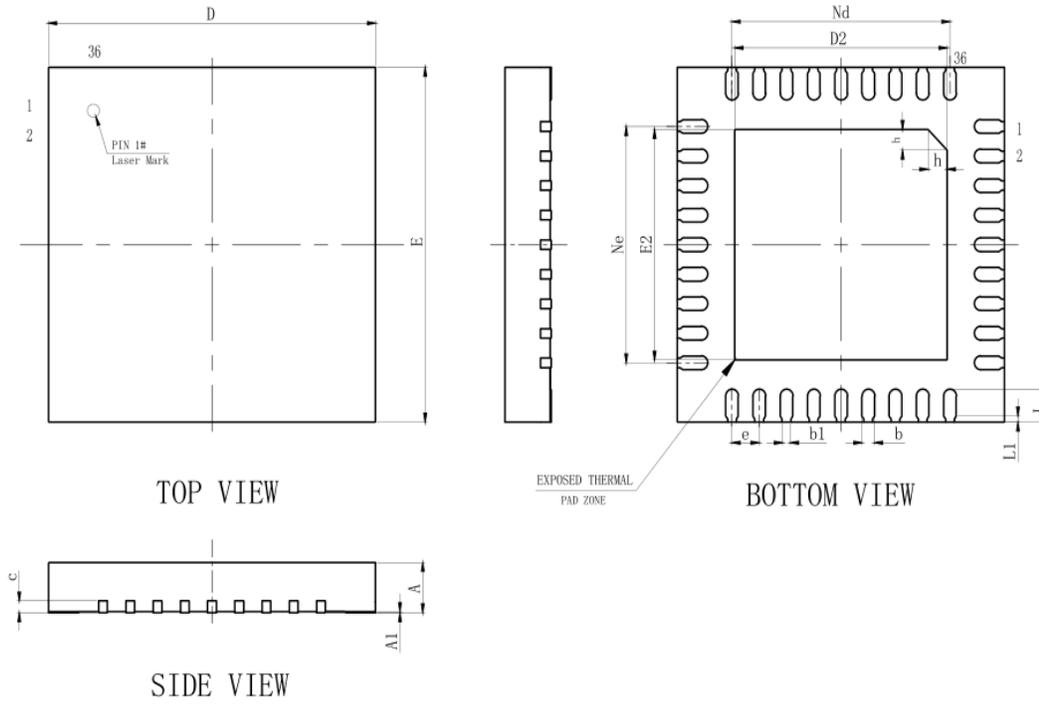
极限参数

| 参数 | 阈值 | 单位 | 条件 |
|--------|---------|----|----|
| 存储环境温度 | -50~150 | 度 | |
| 工作环境温度 | -20~80 | 度 | |
| 工作结温 | -40~150 | 度 | |

PCB 设计参考:

1. 芯片下面需敷铜散热 (芯片衬底要连接到 PGND), 散热面积尽量大, 衬底焊盘打通孔到 PCB 底层, 并适当露铜皮增强散热。
2. 大电流通路尽量走在同一层, 而要尽量粗短。如: 电感 L 到 SW, Vout 走线等。
3. CSNx, CSPx(x=0-2) 走线要避开干扰源器件, 走线尽量短。同时两条线必须从采样电阻两端直接接入芯片, 不得随意将其他 PGND 的电位接入芯片管脚。
4. LDO18脚的10uF 电容要靠近芯片管脚, AGND 用单点接连的方式回到 PGND。

封装外形尺寸:



| SYMBOL | MILLIMETER | | |
|-------------|------------|------|------|
| | MIN | NOM | MAX |
| A | 0.70 | 0.75 | 0.80 |
| A1 | 0 | 0.02 | 0.05 |
| b | 0.18 | 0.23 | 0.30 |
| b1 | 0.16REF | | |
| c | 0.18 | 0.20 | 0.23 |
| D | 5.90 | 6.00 | 6.10 |
| D2 | 3.80 | 3.90 | 4.00 |
| Nd | 3.95 | 4.00 | 4.05 |
| e | 0.50BSC | | |
| E | 5.90 | 6.00 | 6.10 |
| E2 | 3.80 | 3.90 | 4.00 |
| Ne | 3.95 | 4.00 | 4.05 |
| L | 0.50 | 0.55 | 0.60 |
| L1 | 0.10REF | | |
| h | 0.30 | 0.35 | 0.40 |
| 尺寸规格尺寸 (单位) | 181X181 | | |